

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-333182

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

G02F 1/136
G02F 1/1335
G09F 9/00
G09F 9/30

(21)Application number : 09-142839

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 02.06.1997

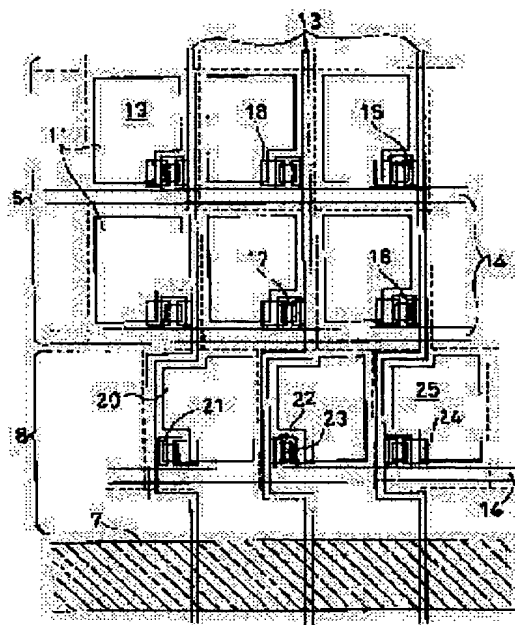
(72)Inventor : OTOMO TETSUYA
YAMAMOTO HIDETSUGU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a local decrease in the charge holding rate of liquid crystal which appears with driving hours owing to ionic impurities of a resticking orientation film foreign body based upon a rubbing type orienting process without increasing the area of a screen frame as to an orthogonal pixel array type liquid crystal display device.

SOLUTION: The liquid crystal is charged between a couple of substrates. On the 1st substrate, gate wires 14 and source wires 13 are arranged crossing each other matrix, and at respective intersections of those gate wires 14 and source wires 13, display pixels 11 consisting of thin film transistors where pixel electrodes 19 are connected are arrayed orthogonally. On the 2nd substrate, a counter electrode formed of a transparent conductive film is arranged. Here, a non-display dummy pixel pattern 20 which is shifted in pixel array pitch from the display pixels 11 is arranged by at least one row or column adjacently to the display pixels 11 on the 1st substrate in the row or column direction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-333182

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁹
 G 0 2 F 1/136 5 0 0
 1/1335 5 0 5
 G 0 9 F 9/00 3 4 0
 9/30 3 3 0

F I
 G 0 2 F 1/136 5 0 0
 1/1335 5 0 5
 G 0 9 F 9/00 3 4 0 A
 9/30 3 3 0 A

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平9-142839

(22) 出願日 平成9年(1997)6月2日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 大友 哲哉

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 山元 英嗣

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

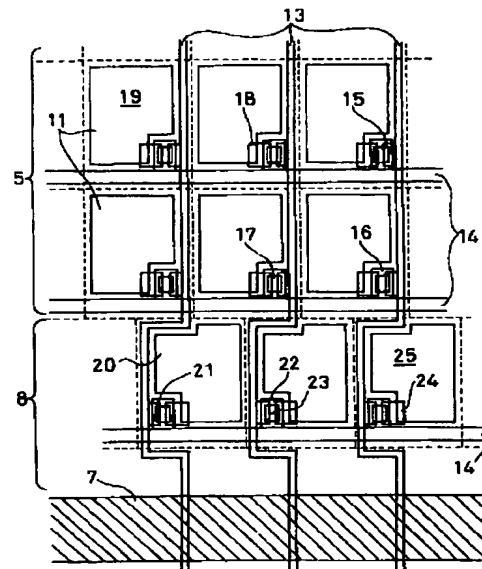
(74) 代理人 弁理士 森本 義弘

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 直交画素配列の液晶表示装置において、ラビング方式の配向処理にもとづく再付着配向膜異物によるイオン性不純物に起因して、駆動時間の経過とともに現れる局所的な液晶の電荷保持率の低下を、画面額縁の領域の増加なしに防止する。

【解決手段】 一対の基板間に液晶を充填する。第一の基板上には、マトリクス状に交差させた複数本のゲート配線14およびソース配線13を配置し、これらゲート配線14とソース配線13との各交差部に、画素電極19を接続した薄膜トランジスタからなる表示画素11を直交配列して配置する。第二の基板上には、透明導電性薄膜からなる対向電極を配置する。第一の基板上の表示画素11に行方向または列方向に隣接して、表示画素11に対し画素配列ピッチをずらせた非表示ダミー画素パターン20を少なくとも1行または1列配置する。



4...液晶セル領域 14...ゲート信号配線
 8...非表示液晶セル領域 19...画素電極
 11...表示有効画素 20...非表示ダミー画素
 13...ソース線配線

【特許請求の範囲】

【請求項1】 一対の基板間に液晶を充填し、第一の基板上には、マトリクス状に交差させた複数本のゲート配線およびソース配線を配置するとともに、前記ゲート配線とソース配線との各交差部に、画素電極を接続した薄膜トランジスタからなる表示画素を直交配列して配置し、第二の基板上には、透明導電性薄膜からなる対向電極を配置した液晶表示装置において、前記第一の基板上の表示画素に行方向または列方向に隣接して、前記表示画素に対し画素配列ピッチをずらせた非表示ダミー画素パターンを少なくとも1行または1列配置したことを特徴とする液晶表示装置。

【請求項2】 第一の基板の非表示ダミー画素に合わせて、第二の基板のカラーフィルターの色パターンピッチをずらして配置したことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 非表示ダミー画素のずらし量が半画素ピッチであることを特徴とする請求項1または2記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関し、特に、非線形素子を用いて液晶を駆動する、いわゆるアクティブマトリクス方式の液晶表示装置であって、その薄膜トランジスタアレイ基板の構造に特徴を有する液晶表示装置に関する。

【0002】

【従来の技術】近年、微細加工技術、材料技術、および高密度実装技術などの進歩と、マルチメディア機器の急速な普及とともに、幅広い画面サイズで、またA V、O A、車載、情報通信と様々な用途において、液晶表示装置の占める割合は急速に拡大している。液晶表示装置は、C R Tにかわるキーデバイスとして、エレクトロニクス業界全体の注目を集めている。そのような中、液晶表示装置に特有の薄型かつ軽量である利点をさらに進化させ、C R Tでは実現困難であった商品領域（例えばA 4、B 5サイズのノートパソコンからサブノートパソコン、D I N規格対応のカーナビゲーションシステム、モニター一体型ビデオムービー、ペン入力型携帯情報端末など）に、さらなる展開を見せている。

【0003】この液晶表示装置の分野では、特に、機器のサイズに対して、いかにして大きな画面が得られるかという技術の開発が、言いかえれば表示に寄与しない周辺領域を小さくする狭額縁技術の開発が、急務となっている。

【0004】まず、従来のアクティブマトリクス方式の液晶表示装置の薄膜トランジスタアレイ基板の概略について、図を用いて説明する。図3はその概略図を示す。ここで、1はマザーガラス基板、2は液晶表示装置として必要な薄膜トランジスタアレイ基板の有効領域であ

り、ここでは2パネル分の有効領域を配置した複数面取りの場合を示している。3 a、3 bはそれぞれ1パネル分の単位有効領域で、チップと呼ぶことにする。4はマザーガラス基板1の製造工程内での搬送や認識パターン形成などに必要な領域で、マザーガラス額縁と呼ぶことにする。

【0005】薄膜トランジスタアレイ基板の有効領域2の内側の中心部には、液晶をスイッチングするアクティブ素子である薄膜トランジスタをマトリクス配置した表示液晶セル領域5が配置されている。そして表示液晶セル領域5の周囲には、駆動ドライバーの実装領域6と、対向基板を貼り付けて液晶材料を表示液晶セル領域5に封入固定させるためのシール領域7と、表示液晶セル領域5とシール領域7とに挟まれた非表示液晶セル領域8とが設けられている。非表示液晶セル領域8は、製造上のばらつきでシール領域7の位置にずれが生じても、表示画面領域5にシール領域7が重なって表示不良となることを防止するために存在する余裕領域である。また9は、シール領域7と非表示液晶セル領域5とを合わせた領域で、ここでは画面額縁と呼ぶことにする。10は、表示液晶セル領域5と非表示液晶セル領域8とを合わせた領域で、ここでは液晶セル領域と呼ぶことにする。

【0006】マザーガラス1を最大限有効に使うためには、まず第一に、マザーガラス額縁4のサイズを最小にする方法がある。しかし、これは製造設備の構造に制約を受けるため、現在のところ一定以下のサイズは期待できない。またマザーガラス額縁4の大きさはチップ3 a、3 bの面取り数にかかわらず一定の値をとるため、面取り数が増加するほど1チップ当たりの影響が分散されて、チップサイズへの影響はそれほど大きくない。

【0007】第二に、薄膜トランジスタアレイ基板の有効領域2が一定だと考えた場合は、各面取り数における最大チップサイズは自ずから決まってくるため、表示液晶セル領域5を大きくするためには画面額縁9を小さくするしか方法はない。また表示液晶セル領域5の大きさを固定して、多面取り数を最大にする場合においても、画面額縁9を小さくすることで、チップ3 a、3 bの大きさを最小に抑えるのが有効である。さらに、画面額縁9の大きさは表示液晶セル領域5の大きさに制約を受けずほぼ一定であるため、面取り数が増加するほどその影響は大である。

【0008】そのため、通常は画面額縁9を最小にするべく設計上の対処を行っている。図4は、図3における画面額縁9の近傍を拡大して詳細を示したものである。ここで、11は表示液晶セル領域5内にある表示有効画素で、直交配列されている。12は非表示液晶セル領域8にある非表示ダミー画素で、表示有効画素11を延長する形で直交配列されている。13はソース信号配線、14はゲート信号配線である。ここで非表示ダミー画素12には、表示有効画素11と同様にソース信号配線1

3およびゲート信号配線14が接続され、表示有効画素11と全く同様の駆動がなされる。すなわち非表示ダミー画素12は、通常は表示有効画素11と全く同一の画素パターンをそのまま繰り返して1行以上配置することが多い。このようにして非表示ダミー画素12を配置する理由はいくつかあるが、最大の理由は表示品質の信頼性上の課題が存在するためである。

【0009】表示品質の信頼性上の課題とは次のようなものである。通常、液晶分子を所定の方向に配列させるために行う配向処理は、レーヨン、ナイロンなどの繊維からなる布を用いて、一定荷重下にて基板上の配向膜（ポリイミド系樹脂）を一定方向に擦るラビング法によって行う。しかし、そのときに、摩擦によって基板から削り取られて布に付着した配向膜が、異物として基板上に少なからず再付着しており、明らかに基板の段差形状の変化が大きいほどその付着量が多い傾向がある。つまり、画素を配置した領域と配線領域との境目に集中して再付着する。再付着した配向膜異物は、ラビング時の摩擦熱と空気中の水分とでイミド結合が破壊されており、カルボン酸がイオンとして分離され易い状態にある。これらは、イオン性不純物として、時間とともに液晶中に拡散していく。このイオン性不純物は、液晶の電圧保持率を劣化させるが、液晶中に均一に拡散した状態では画像表示上の輝度むらとは認識されず、大きな問題とはならない。

【0010】しかしながら、先に述べたように再付着異物の分布は当初より画面周辺に集中しており、均一な拡散は不可能である。さらに、それらの不純物はイオン性を持っているため、駆動時間の経過とともに液晶セル中を移動する性質をもっており、特にDC成分を多く持つゲート信号に大きく影響される。すなわちゲートの走査方向に依存した一定方向にイオン性不純物が移動し、集中して存在する領域が形成されることになる。この領域に集中したイオン性不純物によって、局所的な電荷保持率の低下が起り、画像表示上の輝度むらとして観察されることになるわけである。

【0011】よって、この表示品質の信頼性上の課題である輝度むらを防止するためには、正規駆動する非表示ダミー画素12を非表示液晶セル領域8に配置することで、イオン性不純物の発生源となるラビング異物の再付着領域を表示液晶セル領域5から遠ざけることと、ゲートの走査によって移動したイオン性不純物が最終的に集中する領域を非表示液晶セル領域8の非表示ダミー画素12のゲート電極付近にとどめることが、有効な手段となっている。

【0012】

【発明が解決しようとする課題】しかしながら上記の従来の構造では、同一画面サイズ下でのチップ3a、3bの面積の縮小化や、多面取り数増のための画面額縁9のサイズの最小最適化を試みた場合に、シール領域7は信

頼性の観点から一定の幅以下にはできないため、非表示液晶セル領域8を切り詰めて縮小するのが一つの方法である。この非表示液晶セル領域8を縮小するために、従来の技術では、非表示ダミー画素12の配置列数を切りつめて、最低限の1行または1列だけしか配置できない場合が多くなっている。

【0013】なぜならば、非表示ダミー画素12の配置行数または列数を減らさずに非表示液晶セル領域8を縮小すると、シール領域7の製造上の寸法ばらつきを考慮した場合には、ワーストケースにはシール領域7が非表示ダミー画素12に重なってしまい、重なった部分は液晶自体が存在できないため、従来の技術で述べた、非表示ダミー画素12の持っているイオン性不純物の捕獲電極としての機能を失ってしまい、画像表示上の輝度むら発生を防止できなくなるからである。さらに、通常はシール領域7におけるアクティブ基板側との接触面はほぼ均一にソース信号配線13またはゲート信号配線14であったものが、一部が段差および表面状態の異なる非表示ダミー画素12との接触になるため、密着性の低下によるシール性の問題や、段差不均一による液晶セルのギャップむらの問題の一因となる危険性ははらんでいるからである。

【0014】しかしながら、たとえ最低限の1行または1列の非表示ダミー画素12を配置できたとしても、非表示ダミー画素12を表示有効画素11の延長部分で直交配列させた場合は、ソース信号配線13とゲート信号配線14との配置がほぼ直線的になるため、基板の凹凸が単調になる。つまり摩擦係数が小さくなり、ラビング布に付着した汚染物質を非表示ダミー画素12の領域で捕獲しきれずに、残った汚染物質が表示有効画素11の領域に持ち出される形で付着してしまうことがある。

【0015】本発明は上記従来の課題を解決するため、液晶表示装置の薄膜トランジスタアレイ基板の有効な構造を提供することを目的とする。

【0016】

【課題を解決するための手段】上記の課題を解決するために、本発明の液晶表示装置は、直交配列された表示画素に隣接して、この表示画素に対し画素配列ピッチを行方向または列方向にずらせた非表示ダミー画素パターンを少なくとも1行または1列配置したものである。

【0017】これによれば、表示画素に対し画素配列ピッチを行方向または列方向にずらせた非表示ダミー画素パターンを配置したため、ラビング布に対する非表示ダミー画素の領域の摩擦係数を大きくすることができる。このため、画面額縁が小さいために非表示液晶セル領域を大きく確保できない場合においても、狭い領域で、従来の数行分または数列分の非表示ダミー画素と同等の作用をする非表示ダミー画素パターンを配置できる。したがって、たとえラビング布からの再付着汚染があった場合にも、それらを非表示液晶セル領域内にとどめること

ができ、よって均一で良好な画像表示特性を得ることができる。

【0018】

【発明の実施の形態】請求項1に記載の発明は、一对の基板間に液晶を充填し、第一の基板上には、マトリクス状に交差させた複数本のゲート配線およびソース配線を配置するとともに、前記ゲート配線とソース配線との各交差部に、画素電極を接続した薄膜トランジスタからなる表示画素を直交配列して配置し、第二の基板上には、透明導電性薄膜からなる対向電極を配置した液晶表示装置において、前記第一の基板上の表示画素に行方向または列方向に隣接して、前記表示画素に対し画素配列ピッチをずらせた非表示ダミー画素パターンを少なくとも1行または1列配置したものである。

【0019】これによれば、ラビング布に対する非表示ダミー画素の領域の摩擦係数を大きくするという作用を有する。

【0020】請求項2に記載の発明は、第一の基板の非表示ダミー画素に合わせて、第二の基板のカラーフィルターの色パターンピッチをずらして配置したものである。これによれば、ラビング布に対する、カラーフィルター側の非表示ダミー画素の領域の色パターンの摩擦係数を大きくするという作用を有する。

【0021】請求項3に記載の発明は、非表示ダミー画素のずらし量が半画素ピッチであるようにしたものである。これによれば、同様に、ラビング布に対する非表示ダミー画素の領域の摩擦係数を大きくするという作用を有する。

【0022】以下、本発明の実施の形態について、図1および図2を用いて説明する。

（実施の形態1）図1は本発明の実施の形態1による液晶表示装置の薄膜トランジスタアレイ基板の画面額縁の近傍の概略図である。なお、図1に示す実施の形態の液晶表示装置は、基本的には図3に示した従来の液晶表示装置と同じ構成であるので、同一構成部材には同一番号を付して詳細な説明を省略する。

【0023】図1において、5は表示液晶セル領域、11は表示有効画素である。この表示有効画素11は、ソース信号配線13に接続したソース電極15と、ゲート信号配線14に接続したゲート電極16と、TFTの半導体層17と、ドレイン電極18と、このドレイン電極18に接続した画素電極19とで構成される。

【0024】8は非表示液晶セル領域で、ここには、非表示ダミー画素20が形成される。この非表示ダミー画素20は、表示有効画素11と同様にソース信号配線13およびゲート信号配線14が接続されて、ダミーソース電極21と、ダミーゲート電極22と、ダミー半導体層23と、ダミードレイン電極24と、ダミー画素電極25とを有する。また、この非表示ダミー画素20は、表示有効画素11に対し、行方向に半画素ピッチずらし

た配置にしている。すなわち、この非表示ダミー画素20の部分では、ダミーソース電極21を接続したソース信号配線13が屈曲した構成となっている。ここで、ダミー画素電極25の駆動電位を表示有効画素11の画素電極19の駆動電位と基本的に同一にするために、TFTサイズおよび容量などの大きさを、ダミーソース電極21や、ダミーゲート電極22や、ダミー半導体層23や、ダミードレイン電極24や、ダミー画素電極25の設計パラメーターを最適化して調整している。

10 【0025】以上のように構成された実施の形態1の液晶表示装置では、非表示液晶セル領域8が狭く非表示ダミー画素20の配置行数が制限される場合においても、非表示ダミー画素20の部分において、ダミーソース電極21を接続したソース信号配線13が屈曲しており、この部分で摩擦係数が急激に変化するため、ラビング布から再付着する汚染物質が、この部分、すなわち表示有効画素11の領域外で捕獲されることになる。よって、最小限のダミー領域で済み、シール領域7と非表示ダミー画素20の間の距離を縮めることなしに、非表示ダミー画素を配置しない場合や、直交配列の非表示ダミー画素を配置した場合に発生する表示特性上の不良を防止できる。

【0026】なお以上においては、非表示ダミー画素20の配置を、行方向つまりゲート本数を増やす方向にずらせる例を説明したが、列方向、つまりソース本数を増やす方向にずらせる形態もあり得る。また、配置行数およびずらし量は必要に応じて自由に選択してもかまわない。

30 【0027】（実施の形態2）図2は、本発明の実施の形態2による液晶表示装置における、カラーフィルター基板の画面額縁の近傍の概略図である。なお、この実施の形態では、薄膜トランジスタアレイ基板側の非表示ダミー画素が、半画素ピッチずらして2列配置されているものについて説明する。

40 【0028】この図2において、27は表示色パターンであり、RGBがストライプ状に配列されるとともに、それに対応してブラックマトリクス28が開口されている。29は非表示ダミー色パターンであり、各行毎に半画素ピッチずらして配置されて、RGBがデルタ状に配列されている。この非表示ダミー色パターン29では、当然、ダミーなのでブラックマトリクス28は開口されていない。

50 【0029】以上のように構成された実施の形態2の液晶表示装置では、薄膜トランジスタアレイ基板の非表示ダミー画素に対応する形で、カラーフィルター基板側の非表示ダミー色パターン29が配置されるため、カラーフィルター基板側のラビング時に再付着する汚染物質を非表示領域に捕獲することができると同時に、非表示ダミー画素領域の画素電極部の液晶セルギャップが表示領域と同等に保たれることで、液晶の駆動電圧と負荷容量

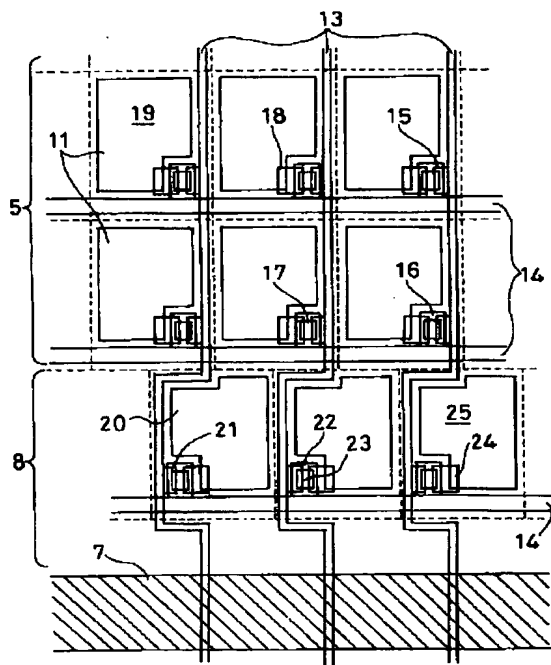
が正規のものとなり、液晶にDCオフセットが不正規にかかることを防止でき、液晶の電荷保持率の低下を緩和できる。

【0030】

【発明の効果】以上のように本発明によれば、表示画素に対し画素配列ピッチを行方向または列方向にずらせた非表示ダミー画素パターンを配置したため、ラビング方式の配向処理の際に、ラビング布に対する非表示ダミー画素の領域の摩擦係数を大きくすることができる。したがって、ラビングの際の再付着配向膜異物によるイオン性不純物を表示画素領域外に留めることができ、このイオン性不純物に起因して駆動時間の経過とともに現れる局所的な液晶の電荷保持率の低下つまり表示ムラを、画面額縁領域の増加なしに実現することが可能になる。このため、コンパクト・大画面・高生産性・高品質・高歩留まりを同時に実現する極めて有用な、アクティブマトリクス方式の液晶表示装置の薄膜トランジスタアレイ基板を提供することができ、その実用的効果は大きい。

【図面の簡単な説明】

【図1】



- | | |
|-------------|-------------|
| 4…表示液晶セル領域 | 14…ゲート信号配線 |
| 8…非表示液晶セル領域 | 19…画素電極 |
| 11…表示有効画素 | 20…非表示ダミー画素 |
| 13…ソース信号配線 | |

【図1】本発明の実施の形態1による液晶表示装置の薄膜トランジスタアレイ基板の画面額縁の近傍の概略図である。

【図2】本発明の実施の形態2による液晶表示装置のカラーフィルター基板のチップ額縁の近傍の概略図である。

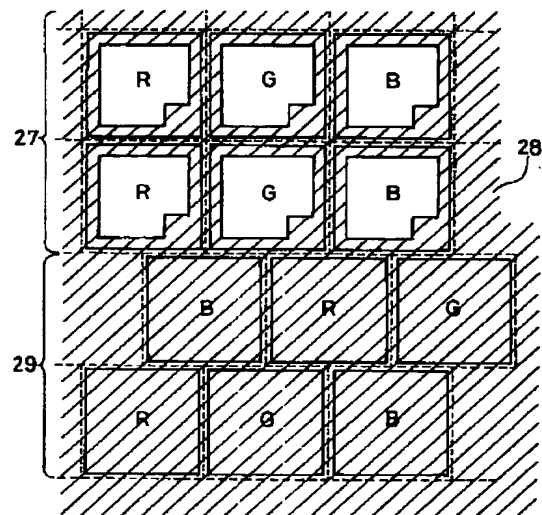
【図3】従来のアクティブマトリクス方式の液晶表示装置の薄膜トランジスタアレイ基板の概略図である。

【図4】図3の液晶表示装置の薄膜トランジスタ基板の画面額縁の近傍の概略図である。

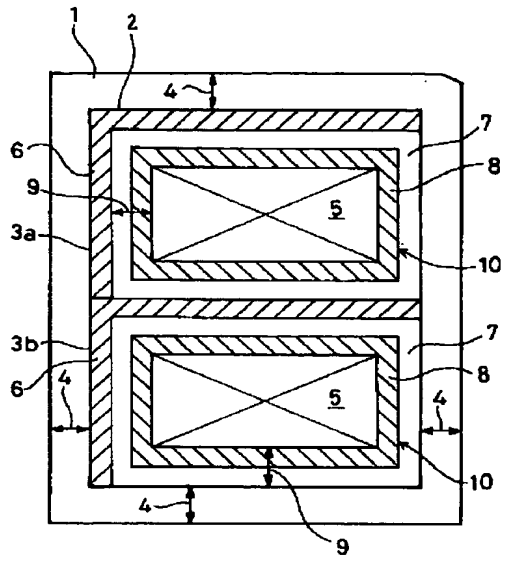
【符号の説明】

- | | |
|----|-----------|
| 5 | 表示液晶セル領域 |
| 8 | 非表示液晶セル領域 |
| 11 | 表示有効画素 |
| 13 | ソース信号配線 |
| 14 | ゲート信号配線 |
| 19 | 画素電極 |
| 20 | 非表示ダミー画素 |

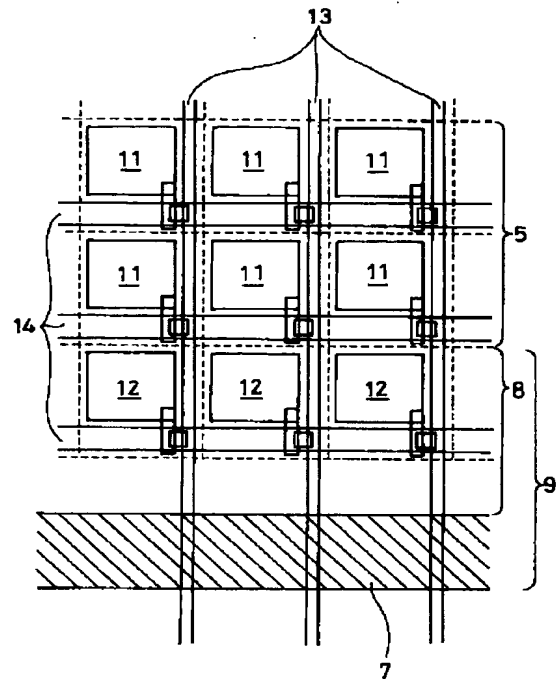
【図2】



【図 3】



【図 4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-333182

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

G02F 1/136
G02F 1/1335
G09F 9/00
G09F 9/30

(21)Application number : 09-142839

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 02.06.1997

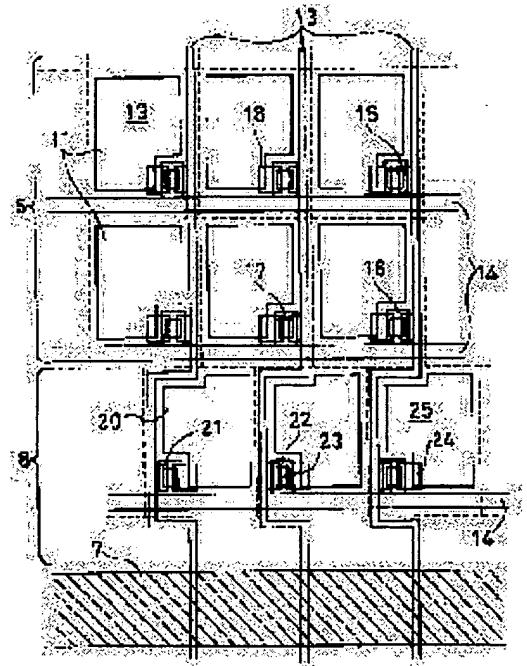
(72)Inventor : OTOMO TETSUYA
YAMAMOTO HIDETSUGU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a local decrease in the charge holding rate of liquid crystal which appears with driving hours owing to ionic impurities of a resticking orientation film foreign body based upon a rubbing type orienting process without increasing the area of a screen frame as to an orthogonal pixel array type liquid crystal display device.

SOLUTION: The liquid crystal is charged between a couple of substrates. On the 1st substrate, gate wires 14 and source wires 13 are arranged crossing each other matrix, and at respective intersections of those gate wires 14 and source wires 13, display pixels 11 consisting of thin film transistors where pixel electrodes 19 are connected are arrayed orthogonally. On the 2nd substrate, a counter electrode formed of a transparent conductive film is arranged. Here, a non-display dummy pixel pattern 20 which is shifted in pixel array pitch from the display pixels 11 is arranged by at least one row or column adjacently to the display pixels 11 on the 1st substrate in the row or column direction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is filled up with liquid crystal between substrates of a pair. On the first substrate While arranging gate wiring of two or more and source wiring which were made to cross in the shape of a matrix The orthogonal array of the display pixel which consists of a thin film transistor which connected a pixel electrode to each intersection of said gate wiring and source wiring is carried out, and it is arranged. On the second substrate In a liquid crystal display which has arranged a counterelectrode which consists of a transparency conductivity thin film A liquid crystal display characterized for a non-display dummy pixel pattern which adjoined a display pixel on said first substrate in a line writing direction or the direction of a train, and was able to shift a pixel array pitch to said display pixel by at least one line or having arranged one train.

[Claim 2] A liquid crystal display according to claim 1 characterized by to have been able to shift a color pattern pitch of a color filter of the second substrate, and having arranged according to a non-display dummy pixel of the first substrate.

[Claim 3] A liquid crystal display according to claim 1 or 2 which a non-display dummy pixel shifts and is characterized by an amount being a half-pixel pitch.

[Translation done.]

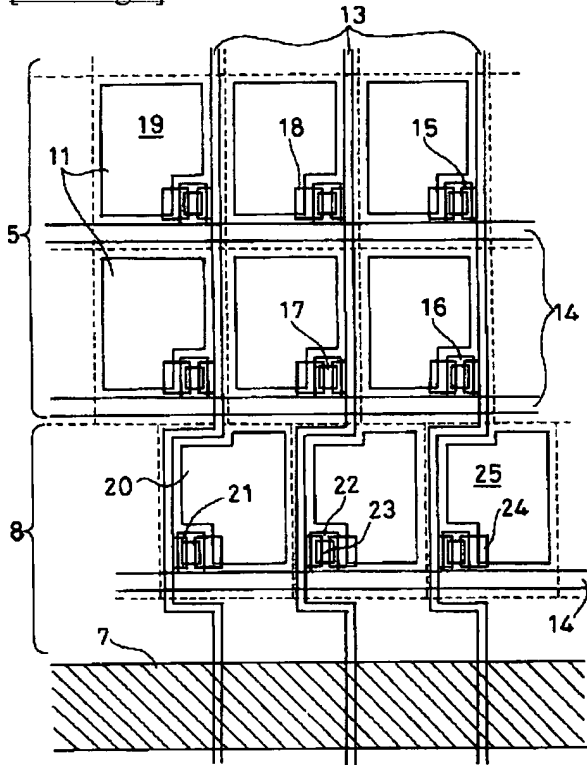
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

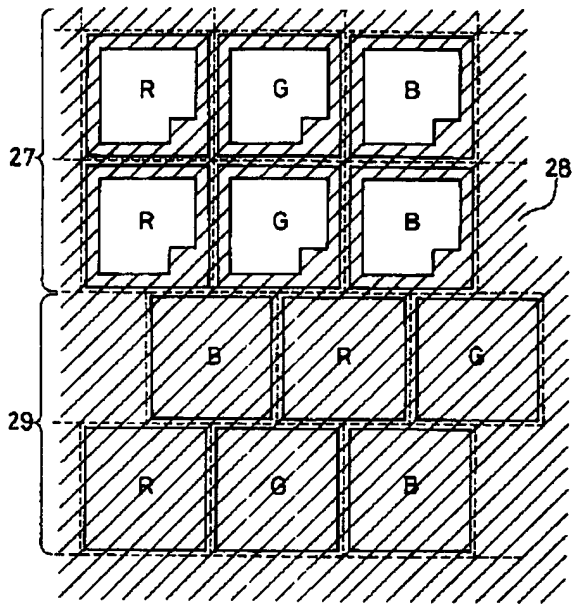
DRAWINGS

[Drawing 1]

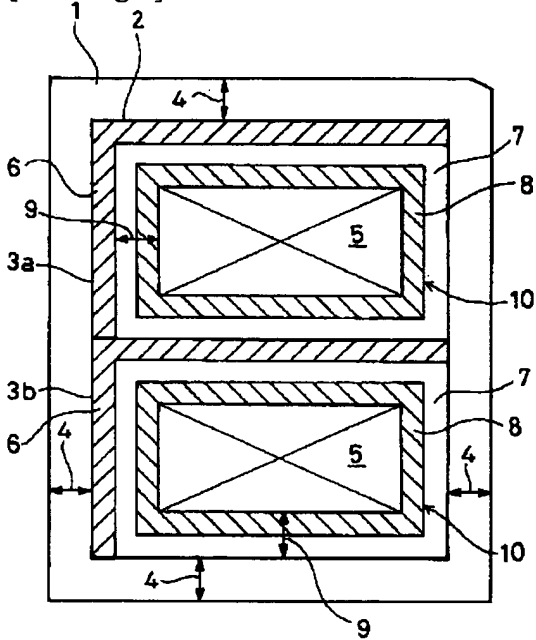


- | | |
|---------------|---------------|
| 4...表示液晶セル領域 | 14...ゲート信号配線 |
| 8...非表示液晶セル領域 | 19...画素電極 |
| 11...表示有効画素 | 20...非表示ダミー画素 |
| 13...ソース信号配線 | |

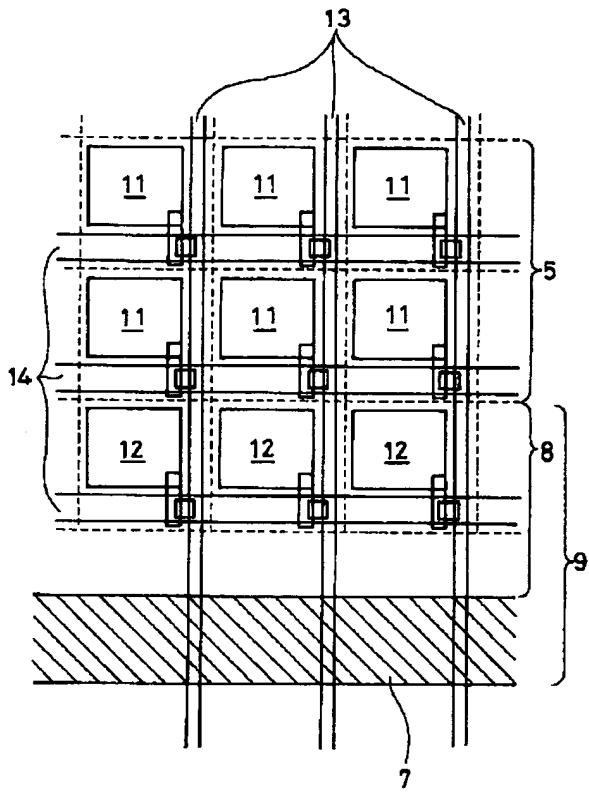
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]